

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Off nlegungsschrift
10 DE 197 50 221 A 1

51 Int. Cl.⁶:
H 01 L 21/336
H 01 L 29/78
H 01 L 29/739
H 01 L 29/749

21 Aktenzeichen: 197 50 221.0
22 Anmeldetag: 13. 11. 97
43 Offenlegungstag: 20. 5. 98

30 Unionspriorität:
031051 18. 11. 96 US
71 Anmelder:
International Rectifier Corp., El Segundo, Calif., US
74 Vertreter:
G. Koch und Kollegen, 80339 München

72 Erfinder:
Kinzer, Daniel M., El Segundo, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleiterbauteil mit MOS-Gatesteuerung sowie Verfahren zu seiner Herstellung

57 Ein Leistungshalbleiterbauteil mit MOS-Gatesteuerung wird mit einem Verfahren hergestellt, das eine verringerte Anzahl von Maskierungsschritten verwendet und die Anzahl von kritischen Justierungen verringert. Ein erster photolithographischer Maskierungsschritt legt den Kanalbereich und den Sourcebereich jeder Zelle fest. Ein zweiter photolithographischer Schritt wird mit einem Mittelbereich oberhalb des Sourcebereiches jeder Zelle ausgerichtet, was die einzige kritische Ausrichtung in dem Verfahren darstellt, und dieser Schritt wird zur Festlegung von Öffnungen in einer Schutzoxydschicht verwendet, die das Ätzen von Vertiefungen in der Substratoberfläche und die Ausbildung eines Kontaktbereiches maskiert. Eine isotrope Ätzung hinterschneidet die Schutzoxydschicht, um Schultern an der Siliziumoberfläche des Halbleiterplättchens freizulegen, die die geätzten Löcher umgeben. Eine leitende Schicht füllt die Löcher und kontaktiert die darunterliegenden Kanalbereiche und überlappt die die Sourcebereiche umgebenden Schultern an der Siliziumoberfläche.

DE 197 50 221 A 1

DE 197 50 221 A 1

Die Erfindung bezieht sich auf Halbleiterbauteile und insbesondere auf Halbleiterbauteile mit MOS-Gatesteuerung, sowie auf ein Verfahren zur Herstellung derartiger Bauteile, wobei eine verringerte Anzahl von Maskierungsschritten mit einer lediglich minimalen Anzahl von kritischen Ausrichtvorgängen erforderlich ist.

Halbleiterbauteile mit MOS-Gatesteuerung sind in der Technik gut bekannt und schließen Bauteile wie z. B. die Bauteile mit MOS-Gatesteuerung ein, die in dem taiwanesischen Patent 80047 vom 3. Dezember 1996 beschrieben sind. Diese Bauteile schließen Leistungs-MOSFET-Bauteile, Thyristoren mit MOS-Gatesteuerung, bipolare Transistoren mit isoliertem Gate (IGBT), Bauteile mit Gate-Ab-schaltung und dergleichen ein.

Die Herstellungsverfahren für derartige Bauteile schließen typischerweise eine Anzahl von lithographischen Maskierungsschritten ein, die kritische Maskenausricht- oder Justierungsschritte einschließen. Jeder dieser kritischen Ausrichtschritte trägt zu der Herstellungszeit und den Herstellungskosten bei und kann mögliche Quellen von Bauteilfehlern ergeben.

Es ist daher wünschenswert, die erforderliche Anzahl der kritischen Ausrichtvorgänge sowie die Anzahl der Maskierungsschritte zu verringern, um die Herstellungsausbeute zu verbessern und um die Herstellungskosten zu verringern.

Entsprechend liegt der Erfindung die Aufgabe zugrunde, ein Verfahren bzw. ein Halbleiterbauteil der eingangs genannten Art zu schaffen, bei dem die Anzahl der kritischen Ausrichtschritte sowie die Anzahl der Maskierungsschritte verringert ist.

Diese Aufgabe wird durch die in den Ansprüchen 1 bzw. 7 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen ergeben sich aus den jeweiligen Unteransprüchen.

Erfindungsgemäß wird ein neuartiges Verfahren für die Herstellung von P-Kanal-Leistungshalbleiterbauteilen mit MOS-Gatesteuerung geschaffen, bei dem P-Kanal-Bauteilzellen unter Verwendung von lediglich drei oder vier Maskierungsschritten hergestellt werden, wobei lediglich eine kritische Ausrichtung bei dem Kontaktmaskierungsschritt erforderlich ist.

Eine Gateoxydschicht und eine Polysiliziumschicht werden über einem P-Siliziumsubstrat ausgebildet. Ein erster photolithographischer Maskierungsschritt bildet einen Körper- oder Kanalbereich vom N-Leitungstyp für jede der Zellen oder Streifen des Bauteils sowie einen P-Sourcebereich, der innerhalb des Körper- oder Hauptbereichs vom N-Leitungstyp der MOSFET-Zelle angeordnet ist.

Ein zweiter photolithographischer Maskierungsschritt wird dann verwendet, der mit einem kleinen Mittelbereich oberhalb der P-Bereiche jeder der Zellen oder Streifen des Bauteils ausgerichtet ist. Ein anisotroper Oxyd-Ätzvorgang bildet Öffnungen in einer das Bauteil abdeckenden Schutzoxydschicht, wobei diese Öffnungen die Oberfläche des Siliziums erreichen. Ein anisotroper Silizium-Ätzvorgang folgt, wodurch eine flache Vertiefung in der Oberfläche des Siliziums hervorgerufen wird, die auf den P-Bereichen zentriert ist. Die Vertiefung ist tief genug, um die P-Bereiche zu durchqueren und die darunterliegenden Kanäle oder Hauptteilbereiche vom N-Leitungstyp zu erreichen. Die Ausrichtung der zweiten Maske, die die Kontaktmaske ist, stellt die einzige kritische Ausrichtung oder Justierung in dem Verfahren dar.

Eine starke Basiskontaktimplantierung wird durch das Kontaktfenster hindurch ausgeführt, nachdem die Vertiefung in dem Silizium geätzt wurde, jedoch bevor Metall auf

der Halbleiterscheibe abgeschieden wird. Auf diese starke Basiskontaktimplantierung folgt dann eine isotrope Ätzung, die das Schutzoxyd oberhalb des Gateoxyds hinterschneidet, um Schultern an der Siliziumoberfläche des Halbleiterplättchens freizulegen, die die geätzten Öffnungen in den N⁺-Zellenbereichen umgeben.

Danach wird eine leitende Schicht, die Metall sein kann, über der Oberfläche abgeschieden und füllt die Vertiefungen oder Öffnungen durch den P-Bereich, wodurch ein Kontakt mit den darunterliegenden N-Hauptbereichen hergestellt und die die P-Sourcebereiche an der Siliziumoberfläche überlappt werden. Entsprechend wird ein guter Kontakt mit der P-Source und dem darunterliegenden N-Bereich hergestellt. Es sei bemerkt, daß dieser Kontakt zwischen dem darunterliegenden N-Hauptteilbereich und dem P-Sourcebereich wünschenswert ist, um den parasitären Transistor, der von Natur aus in jeder Zellenstruktur eines Bauteils mit MOS-Gatesteuerung auftritt, kurzzuschließen.

Eine dritte Maske wird dazu verwendet, das Metall mit einem Muster zu versehen, worauf ein Sinterschritt und eine Metallisierung der Rückseite folgt. Es ist keine Temperung vor der Metallisierung erforderlich, weil die Sintertemperatur ausreichend hoch ist, um genügend Dotierungsmittel zu aktivieren, um einen niedrigen Kontaktwiderstand zwischen dem Metall und den Hauptbereichen zu erzielen, wobei diese Temperatur jedoch niedrig genug ist, um toleriert zu werden, nachdem das Metall abgeschieden wurde.

Die Erfindung wird im folgenden anhand von in der Zeichnung dargestellten Ausführungsbeispielen noch näher erläutert.

In der Zeichnung zeigen:

Fig. 1 eine Querschnittsansicht eines Teils eines Halbleiterplättchens in einer Silizium-Halbleiterscheibe, nachdem eine Gateoxydschicht und eine Polysiliziumschicht auf dieser ausgebildet wurde und nachdem eine erste Photolackschicht über der Polysiliziumschicht abgeschieden und mit einem Muster versehen wurde,

Fig. 2 die Struktur nach Fig. 1, nachdem Öffnungen in den Gateoxyd- und Polysiliziumschichten ausgebildet, leicht dotierte N-Bereiche und P-Bereiche in den Öffnungen gebildet, eine Niedrigtemperaturoxydschicht (LTO) abgeschieden, eine zweite Photolackschicht abgeschieden und mit einem Muster versehen, die LTO-Schicht geätzt und das Silizium anisotrop geätzt wurde, um eine Vertiefung durch den P-Bereich hindurch zu bilden,

Fig. 3 die Struktur nach Fig. 2 nach einer N⁺-Implantation in die Öffnungen in dem Silizium,

Fig. 4 die Struktur nach Fig. 3 nach einer isotropen Ätzung, die die LTO-Schicht hinterschneidet,

Fig. 5 die Struktur nach Fig. 4 nach dem Abheben der zweiten Photolackschicht und dem Abscheiden einer Sourcekontakt-Metallschicht,

Fig. 6 eine Querschnittsansicht einer weiteren Ausführungsform der vorliegenden Erfindung, die einen Teil eines Halbleiterplättchens zeigt, nachdem eine Feldoxydschicht auf diesem ausgebildet und mit einem Muster versehen wurde und nach der darauffolgenden Abscheidung einer Gateoxydschicht und einer Polysiliziumschicht, und

Fig. 7 die Struktur nach Fig. 6, nachdem die Polysiliziumschicht mit einem Muster versehen und geätzt wurde.

Die folgende Beschreibung der bevorzugten Ausführungsformen der Erfindung beschreibt die Herstellung eines P-Kanals-Leistungs-MOSFET-Bauteils. Es kann jedoch auch irgendeine geeignete Modifikation der Grenzschichten verwendet werden, um das gleiche Verfahren zur Herstellung anderer P-Kanal-Bauteile mit MOS-Gatesteuerung zu verwenden, wie z. B. für ein IGBT- oder Thyristorbauteil mit MOS-Gatesteuerung.

Die Topologie der Bauteile ist vorzugsweise die von hexagonalen Zellen. Es ist jedoch für den Fachmann zu erkennen, daß das Verfahren in gleicher Weise auf Zellen anwendbar ist, die irgendeine vieleckige Struktur aufweisen, wie z. B. quadratische oder rechteckige Zellen, unabhängig davon, ob diese versetzt oder in einer Linie angeordnet sind, wobei das Verfahren weiterhin auf ineinander verschachtelte Strukturen anwendbar ist.

Wenn zunächst auf Fig. 1 Bezug genommen wird, so ist in dieser Figur ein Teil einer Halbleiterscheibe oder eines Halbleiterplättchens zu erkennen, die bzw. das eine sich wiederholende Struktur aufweist. Es sind lediglich einige wenige der Elemente im Querschnitt gezeigt. Die Halbleiterscheibe kann irgendeine gewünschte Größe aufweisen und wird in eine Vielzahl von Halbleiterplättchen zerteilt. In dieser Beschreibung werden die Ausdrücke "Halbleiterplättchen" und "Halbleiterscheibe" teilweise miteinander vertauscht verwendet.

Fig. 1 zeigt eine Halbleiterscheibe mit einem P⁺-Hauptteil oder Körper 30, der aus monokristallinem Silizium hergestellt ist. Vorzugsweise ist der P⁺-Hauptteil 30 eine epitaxial gebildete Schicht, die auf einem (nicht gezeigten) P⁺-Substrat aufgewachsen ist. Ein Drain- (oder Anoden-) Kontakt kann mit dem P⁺-Substrat verbunden und zum Anschluß an einer Oberfläche des Halbleiterplättchens verfügbar sein.

Der erste Schritt bei dem erfindungsgemäßen Verfahren besteht in der Ausbildung einer Isolierschicht 31 über dem P⁺-Hauptteil oder Körper 30. Die Isolierschicht 31 kann ein thermisch aufgewachsenes Siliziumdioxid sein und eine Dicke von 100 bis 1500 Å aufweisen.

Eine Polysiliziumschicht 32 wird dann über der Oxydschicht 31 abgeschieden, und sie weist eine Dicke von beispielsweise 7500 Å auf. Die Polysiliziumschicht kann in irgendeiner gewünschten Weise ausgebildet werden, wird jedoch vorzugsweise abgeschieden und dann mit implantiertem Arsen oder durch einen nachfolgenden CVD-Dotierungsschritt stark dotiert.

Nach der Abscheidung der Polysiliziumschicht 32 wird eine geeignete erste Photolackschicht 33 über der Polysiliziumschicht ausgebildet und in einem geeigneten photolithographischen Maskierungsschritt mit einem Muster versehen, um Öffnungen in dem Photolack bis zur Oberfläche der Polysiliziumschicht 32 zu bilden. Die Polysiliziumschicht wird dann durch eine nachfolgende anisotrope Ätzung geätzt, die entsprechende Öffnungen bis herunter zu der Gateoxydschicht gemäß Fig. 2 bildet. Vorzugsweise sollten die Polysilizium-Seitenwände so vertikal wie möglich sein, um die nachfolgenden Implantationsschritte genau zu definieren.

Danach kann die darunterliegende freiliegende Gateoxydschicht mit einer isotropen Naßätzung oder mit einer anisotropen Ätzung entfernt werden. Es ist jedoch auch möglich, das Gateoxyd in diesem Schritt intakt zu lassen und die nachfolgenden Implantierungsschritte mit einer ausreichend hohen Energie durchzuführen, um das dünne Gateoxyd zu durchdringen.

Die vorstehenden anisotropen und isotropen Ätzvorgänge, die verwendet werden, sind für den Fachmann gut bekannt, und es können irgendwelche geeigneten Ätzverfahren für diese Schritte ausgewählt werden.

Danach wird die Photolackschicht abgestreift und eine relativ leichte Dosis von Arsen oder Phosphor wird durch die Öffnungen in den Polysiliziumschichten und in das freiliegende Silizium implantiert. Nach der Implantierung werden die Implantate vom N-Leitungstyp eingetrieben, um Kanäle 40 und 41 zu bilden. Die Werte der Implantationsdosis und -energie und die Eintreibzeit und Temperatur werden auf der Grundlage der gewünschten Tiefe und Vertei-

lung der Kanalbereiche bestimmt, wie dies in der Technik bekannt ist.

Eine relativ hohe P⁺-Dosis von Bor wird dann durch die Öffnungen in der Polysiliziumschicht implantiert, um nachfolgend die Sourcebereiche 50 und 51 zu bilden. Ein Diffusionsschritt kann dann folgen.

Danach wird gemäß Fig. 2 eine Schicht aus Niedrigtemperaturoxyd (LTO) 60 über der Oberfläche der Halbleiterscheibe mit einer Dicke von ungefähr 6000 bis 8000 Å abgeschieden. Nach der Abscheidung der LTO-Schicht 60 werden die P⁺-Bereiche 50 und 51 eingetrieben. Die Werte der P⁺-Implantationsenergie und -dosis sowie deren Eintreibzeit und -temperatur werden ebenfalls so ausgewählt, daß eine flachere Tiefe als die der Kanalbereiche vom N-Leitungstyp erzielt wird und die Bereiche 50 und 51 von diesen umgeben sind. Dadurch, daß der Eintreibvorgang nach der Abscheidung der LTO-Schicht 60 durchgeführt wird, wird diese LTO-Schicht unter den Eintreibbedingungen ebenfalls verdichtet.

Es ist zu erkennen, daß dieser Vorgang ringförmige Kanalbereiche 55 und 56 für die beiden dargestellten Zellen erzeugt hat. Diese 3 Kanalbereiche liegen unter jeweiligen Segmenten der Polysiliziumschicht 32, die das Polysilizium-Gate für jede Zelle bildet, und sie sind bei Anlegen eines Gatepotentials an die Polysiliziumschicht 32 invertierbar. Die Polysiliziumschicht 32 hat eine gitterförmige Konfiguration zwischen den Zellen, wenn die Zellen eine polygonale oder vieleckige Struktur aufweisen. Dieses Gitter liegt an seinen Seiten oder Kanten über den darunterliegenden Kanalbereichen innerhalb der Zellen.

Danach wird gemäß Fig. 2 eine zweite Photolackschicht 61 über der LTO-Schicht 60 aufgebracht und in einem zweiten Maskierungsschritt mit einem Muster versehen, um gut ausgerichtete kleine Mittelöffnungen auszubilden, die auf der Achse jeder der einzelnen Zellen oder entlang der Länge der Streifen liegen, wenn eine fingerförmig verschachtelte Geometrie verwendet wird. Dies ist der einzige kritische Ausricht- oder Justierungsschritt in dem Verfahren. Wenn eine zellenförmige Struktur verwendet wird, so haben die Öffnungen in dem Photolack 61 einen Durchmesser von ungefähr 1,5 bis 2 µm. Diese Abmessung hängt von dem photolithographischen Verfahren und dem Metall-Silizium-Kontaktsystem ab. Nach der Ausbildung der Öffnungen in dem Photolack wird die LTO-Schicht 60 mit einer anisotropen Oxydätzung geätzt, um eine Mittelöffnung zu öffnen, die die Siliziumoberfläche erreicht.

Dann bildet eine weitere anisotrope Ätzung in die freiliegende Siliziumoberfläche Löcher oder Vertiefungen 70, 71, die die P⁺-Bereiche 50, 51 durchdringen und die N-Bereiche 40, 41 für jede Zelle erreichen. Wegen der LTO-Schicht haben die in der Siliziumoberfläche gebildeten Löcher oder Vertiefungen einen kleineren Durchmesser als die Öffnungen in dem Polysilizium.

Danach wird in der in Fig. 3 gezeigten Weise eine Dosis von 5E14 oder mehr von Arsen oder Phosphor in das durch das Ätzen der Löcher freigelegte Siliziumsubstrat implantiert, um N⁺-Basisbereiche 75, 76 in den Bereichen 40, 41 vom N-Leitungstyp zu bilden. Die Implantation wird bei einer Energie von ungefähr 80 keV durchgeführt.

Danach wird gemäß Fig. 4 die Silizium-Halbleiterscheibe einer isotropen Naßätzung ausgesetzt, die das LTO und das Gateoxyd, falls vorhanden, auf Durchmesser 82 und 83 zurück hinterschneidet. Der Ätzvorgang legt für eine hexagonale oder polygonale Zelle eine Schulter der Oberfläche des Silizium-Halbleiterplättchens frei, die sich um die Öffnungen 70 und 71 herum erstreckt.

Bei einer bevorzugten Ausführungsform der Erfindung ist die die Hinterschneidung in dem LTO und dem Gateoxyd

bildende Naßätzung eine nasse gepufferte 6-zu-1-Oxydätzung für 1 bis 5 Minuten. Diese Naßätzung erzeugt eine Schulter mit einer Breite von 0,1 bis 0,5 µm, was ausreicht, um einen Kontakt mit niedrigem Widerstand zu dem Sourcebereich herzustellen.

Danach wird gemäß Fig. 5 der Photolack 61 abgestreift und ein Sourcekontaktmittel 84, wie z. B. Aluminium, über der gesamten Oberfläche des Halbleiterbauteils abgeschieden. Das Kontaktmetall füllt die Öffnungen 70 und 71 aus und liegt über den freiliegenden Silizium-Schultern, die durch die Hinterschnidungen 81 und 82 in den Fig. 3 und 4 gebildet sind. Damit verbindet das Sourcemetall 84 automatisch die darunterliegenden N-Bereiche 40 und 41 mit den P⁺-Bereichen 50, 51, um den beabsichtigten Kurzschluß zwischen den N-Bereichen und den P⁺-Bereichen in jeder Zelle herzustellen.

Nach dieser Abscheidung wird die Metallschicht 84 dann bei ungefähr 425 bis 450°C gesintert. Die Temperatur des Sintervorganges ist ausreichend hoch, um einen genügenden Teil der Dotierungsmittel in den N⁺-Basisbereichen 75, 76 zu aktivieren, so daß keine Temperung oder Wärmebehandlung nach der N⁺-Basisimplantierung erforderlich ist. Die Sintertemperatur ist auch niedrig genug, um von der abgeschiedenen Metallschicht 84 toleriert zu werden.

Eine dritte (nicht gezeigte) Photolackschicht kann dann oberhalb der Kontaktmetallschicht aufgebracht und in einem dritten photolithographischen Schritt mit einem Muster versehen werden, um eine Gate-Sammelschiene und die Source-Kontaktelektrode zu bilden. Die Ausrichtung oder Justierung des dritten photolithographischen Schrittes gegenüber der Halbleiterschicht ist nicht kritisch. Nachdem die Photolackschicht mit einem Muster versehen wurde, kann die Metallschicht dann durch einen anisotropen Ätzvorgang geätzt werden.

Ein Drain- (oder Anoden-) Kontakt 90 kann ebenfalls mit dem Substrat verbunden und zum Anschluß an einer der Oberflächen des Halbleiterplättchens verfügbar sein. Wenn das Halbleiterbauteil ein IGBT ist, so ist eine dünne P⁺-Pufferschicht und eine N⁺-Bodenschicht an der Unterseite einer Halbleiterschichtenstruktur in üblicher Weise enthalten.

Gemäß einer abgeänderten Ausführungsform der Erfindung kann gemäß Fig. 6 und 7 eine Feldoxydschicht 120 oberhalb des P⁺-Hauptteils oder Körpers 30 vor der Ausbildung der Gateoxydschicht ausgebildet werden. Eine Photolackschicht wird oberhalb des Feldoxyds abgeschieden und dann in einem anfänglichen photolithographischen Maskierungsschritt mit einem Muster versehen, um Öffnungen in der Feldoxydschicht zu bilden. Die freiliegenden Teile des Feldoxyds werden dann fortgeätzt, um die aktiven Bauteilbereiche freizulegen. Die Gateoxyd-Isolierschicht 131 wird dann über den aktiven Bauteilbereichen aufgewachsen, und die Polysiliziumschicht 132 wird dann über den Gateoxyd- und Feldoxyd-Schichten abgeschieden. Öffnungen werden dann sowohl in dem Polysilizium, das sich oberhalb der Gateoxyd-Isolierschicht befindet, als auch in dem Polysilizium oberhalb des Gateoxyds ausgebildet. Das Bauteil kann dann in der vorstehend beschriebenen Weise weiter verarbeitet werden.

Bei dieser Ausführungsform bildet das Ätzen der Metallschicht außerdem eine Gate-Sammelschiene, die mit dem Polysilizium über dem Feldoxyd in Kontakt steht.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauteils, gekennzeichnet durch die folgenden Schritte:
Ausbilden einer Schicht aus Gateisolationmaterial oberhalb eines Siliziumsubstrats von einem Leitungs-

typ. Abscheiden einer Schicht aus Polysilizium über der Schicht aus Gateisolationmaterial,

Ausbildung eines Musters und Fortätzen ausgewählter Bereiche der Polysiliziumschicht zur Bildung einer Vielzahl von mit Abstand voneinander angeordneten Öffnungen in dieser,

Einführen von Verunreinigungen des anderen Leitungstyps, der zu dem einen Leitungstyp entgegengesetzt ist, in Oberflächenbereiche des Siliziumsubstrates, die unter den Öffnungen in der Polysiliziumschicht liegen, um erste diffundierte Bereiche zu bilden,

Einführen von Verunreinigungen des einen Leitungstyps in die genannten Oberflächenbereiche des Siliziumsubstrates, um zweite diffundierte Bereiche zu bilden,

Abscheiden einer darüberliegenden Isolierschicht, Ausbildung eines Musters und Fortätzen von Teilen der darüberliegenden Isolierschicht, wobei ein verbleibender Teil der darüberliegenden Isolierschicht verbleibt, der vertikale Seitenwand-Abstandselemente entlang von Seitenwänden in jeder der Öffnungen in der Polysiliziumschicht bildet, wobei ein in der Mitte liegender Teil jeder der genannten Oberflächenbereiche des Siliziumsubstrats freigelegt wird,

Ätzen von Vertiefungen in dem genannten Teil der Oberflächenbereiche des Siliziumsubstrates bis zu einer Tiefe, die größer als die Tiefe der zweiten diffundierten Bereiche ist,

Einführen von Verunreinigungen des anderen Leitungstyps in den genannten Teil der Oberflächenbereiche des Siliziumsubstrates zur Bildung dritter diffundierter Bereiche, wobei die zweiten diffundierten Bereiche eine abschließende Tiefe aufweisen, die kleiner als die der dritten diffundierten Bereiche ist, und die zweiten diffundierten Bereiche eine abschließende Breite aufweisen, die breiter als die der dritten diffundierten Bereiche ist, wobei sich die ersten diffundierten Bereiche tiefer und über eine größere Breite erstrecken und eine niedrigere Konzentration aufweisen, als die dritten diffundierten Bereiche,

Ätzen der Seitenwand-Abstandselemente zur Bildung hinterschnittener Abschnitte in der darüberliegenden Isolierschicht, die weitere Teile der Oberflächenbereiche des Siliziumsubstrates bilden, die die Vertiefungen umgeben,

Abscheiden einer leitenden Schicht, Ausbildung eines Musters und Fortätzen von Teilen der leitenden Schicht, um zumindest einen Sourcekontakt, der mit den zweiten diffundierten Bereichen an oberen Bereichen der Vertiefungen in Kontakt steht und der mit den dritten diffundierten Bereichen am Boden der Vertiefungen in Kontakt steht, und zumindest einen Gatekontakt zu bilden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Schritte der Einführung von Verunreinigungen des einen und des anderen Leitungstyps die Implantation der Verunreinigungen in das Siliziumsubstrat durch die Gate-Isolationmaterialschicht hindurch einschließen.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt der Einführung von Verunreinigungen des einen Leitungstyps das Fortätzen von Teilen des Gate-Isolationmaterials, das unterhalb der Öffnungen in der Polysiliziumschicht liegt, und das nachfolgende Implantieren der Verunreinigungen in die genannten Oberflächenbereiche des Siliziumsubstrats einschließt.

4. Verfahren nach einem der vorhergehenden Ansprü-

che, dadurch gekennzeichnet, daß der eine Leitungstyp der P-Leitungstyp ist, während der andere Leitungstyp der N-Leitungstyp ist.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es weiterhin den Schritt der thermischen Behandlung der leitenden Schicht durch Sintern der leitenden Schicht bei ungefähr 425 bis 450°C umfaßt, wodurch die Verunreinigungen der dritten diffundierten Bereiche aktiviert werden.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es weiterhin die folgenden Schritte umfaßt:

Ausbilden einer Schicht aus Feldisolutionsmaterial über dem Siliziumsubstrat,

Ausbilden eines Musters und Fortätzen von zumindest einem ausgewählten Bereich der Feldisolutionsmaterialschicht zur Bildung von zumindest einer Öffnung in der Feldisolutionsmaterialschicht und von zumindest einem verbleibenden Teil,

worin die Gate-Isolationsmaterialschicht oberhalb des Siliziumsubstrates in der zumindest einen Öffnung in der Feldisolutionsmaterialschicht ausgebildet wird, die Polysiliziumschicht über dem verbleibenden Teil der Feldisolutionsmaterialschicht und über der Gate-Isolationsmaterialschicht abgeschieden wird und die ausgewählten Bereiche der ersten darüberliegenden Isolierschicht fortgeätzt werden, um in dieser eine Vielzahl von ersten mit Abstand voneinander angeordneten Öffnungen, die über der Gate-Isolationsmaterialschicht liegen, und eine Vielzahl von zweiten mit Abstand voneinander angeordneten Öffnungen auszubilden, die über der Feldisolutionsmaterialschicht liegen.

7. Halbleiterbauteil, gekennzeichnet durch: eine Schicht aus Gate-Isolationsmaterial, die über einem Siliziumsubstrat von einem Leitungstyp ausgebildet ist,

eine Polysiliziumschicht, die über der Gate-Isolationsmaterialschicht ausgebildet ist und eine Vielzahl von darin ausgebildeten, mit Abstand voneinander angeordneten Öffnungen aufweist,

erste diffundierte Bereiche von Verunreinigungen des anderen Leitungstyps, der zu dem ersten Leitungstyp entgegengesetzt ist, die in Oberflächenbereichen des Siliziumsubstrates ausgebildet sind, die unter den Öffnungen in der Polysiliziumschicht liegen,

zweite diffundierte Bereiche von Verunreinigungen des einen Leitungstyps, die in den genannten Oberflächenbereichen des Siliziumsubstrats ausgebildet sind,

eine darüberliegende Isolierschicht mit einer Vielzahl von vertikalen Seitenwand-Abstandselementen, die entlang von Seitenwänden in jeder der Öffnungen in der Polysiliziumschicht ausgebildet sind, die einen in der Mitte liegenden Teil jeder der genannten Oberflächenbereiche des Siliziumsubstrates umgeben,

eine Vielzahl von Vertiefungen, die in dem genannten Teil der Oberflächenbereiche des Siliziumsubstrates ausgebildet sind und eine Tiefe aufweisen, die größer als die Tiefe der zweiten diffundierten Bereiche ist,

dritte diffundierte Bereiche des anderen Leitungstyps, die in dem genannten Teil der Oberflächenbereiche des Siliziumsubstrates ausgebildet sind, wobei die zweiten diffundierten Bereiche eine abschließende Tiefe, die kleiner als die der dritten diffundierten Bereiche ist, und eine abschließende Breite aufweisen, die breiter als die der dritten diffundierten Bereiche ist, wobei sich die ersten diffundierten Bereiche tiefer und über eine größere Breite erstrecken und eine niedrigere Konzen-

tration aufweisen, als die dritten diffundierten Bereiche,

wobei ein Teil der vertikalen Seitenwand-Abstandselemente der darüberliegenden Isolierschicht entfernt ist, um weitere Bereiche des Siliziumsubstrates freizulegen, die die Vertiefungen umgeben, und

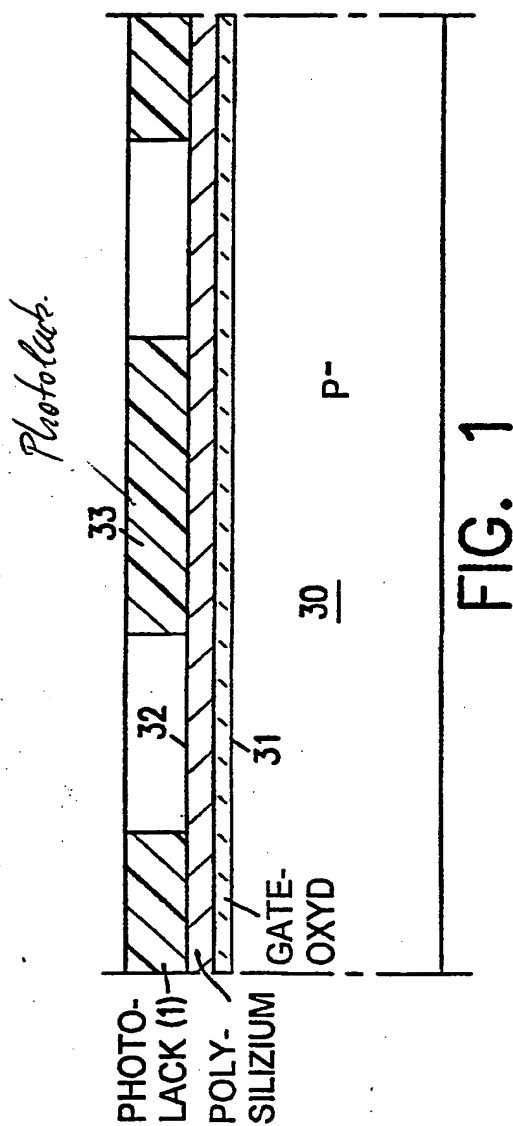
eine leitende Schicht, die zumindest einen Gatekontakt bildet und die zumindest einen Sourcekontakt bildet, der mit den zweiten diffundierten Bereichen an den oberen Teilen der Vertiefungen und den dritten diffundierten Bereichen am Boden der Vertiefungen in Kontakt steht, so daß die Polysiliziumschicht und die zweiten und dritten diffundierten Bereiche elektrisch miteinander verbunden sind.

8. Bauteil nach Anspruch 6, dadurch gekennzeichnet, daß der eine Leitungstyp der P-Leitungstyp ist und daß der andere Leitungstyp der N-Leitungstyp ist.

9. Bauteil nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß es weiterhin eine Feldisolutionsmaterialschicht, die über dem Siliziumsubstrat ausgebildet ist und die zumindest eine darin ausgebildete Öffnung und zumindest einen verbleibenden Teil aufweist, und eine Gateisolationsmaterialschicht aufweist, die über dem Siliziumsubstrat in der zumindest einen Öffnung in der Feldisolutionsmaterialschicht ausgebildet ist, wobei die Polysiliziumschicht über dem verbleibenden Teil der Feldisolutionsmaterialschicht ausgebildet ist und eine Vielzahl von darin ausgebildeten ersten mit Abstand voneinander angeordneten Öffnungen, die über der Gate-Isolationsmaterialschicht liegen, und eine Vielzahl von zweiten, mit Abstand voneinander angeordneten Öffnungen aufweist, die über der Feldisolutionsmaterialschicht liegen.

10. Bauteil nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß ein weiterer Kontakt an einer Bodenfläche des Siliziumsubstrates ausgebildet ist.

Hierzu 3 Seite(n) Zeichnungen



16.

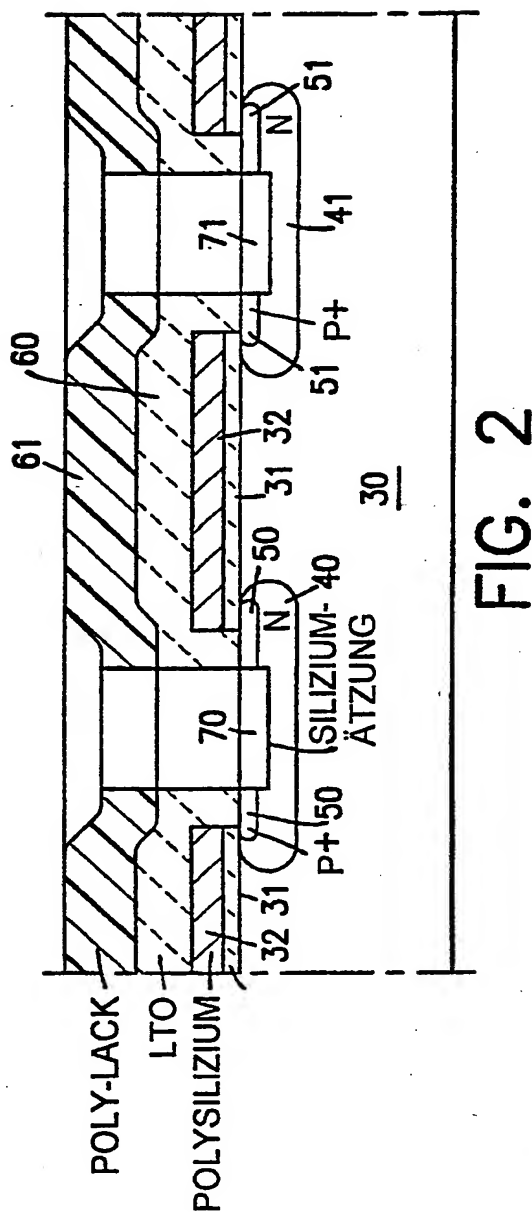


FIG. 2

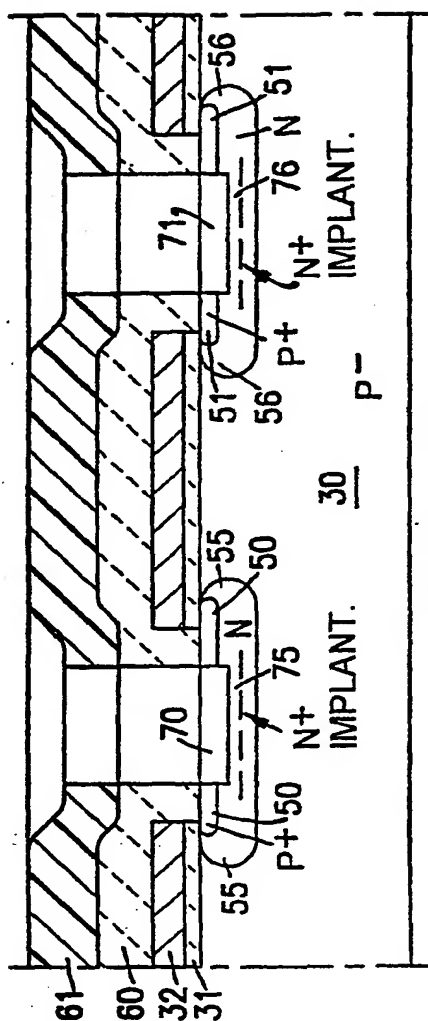


FIG. 3

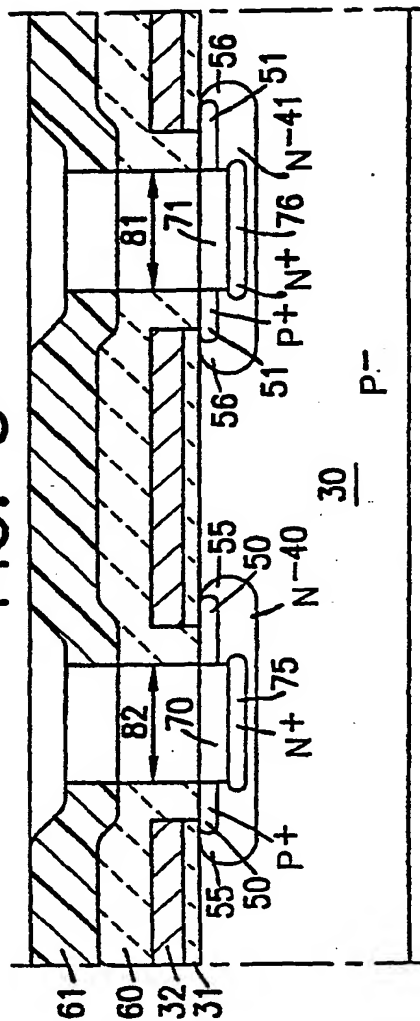
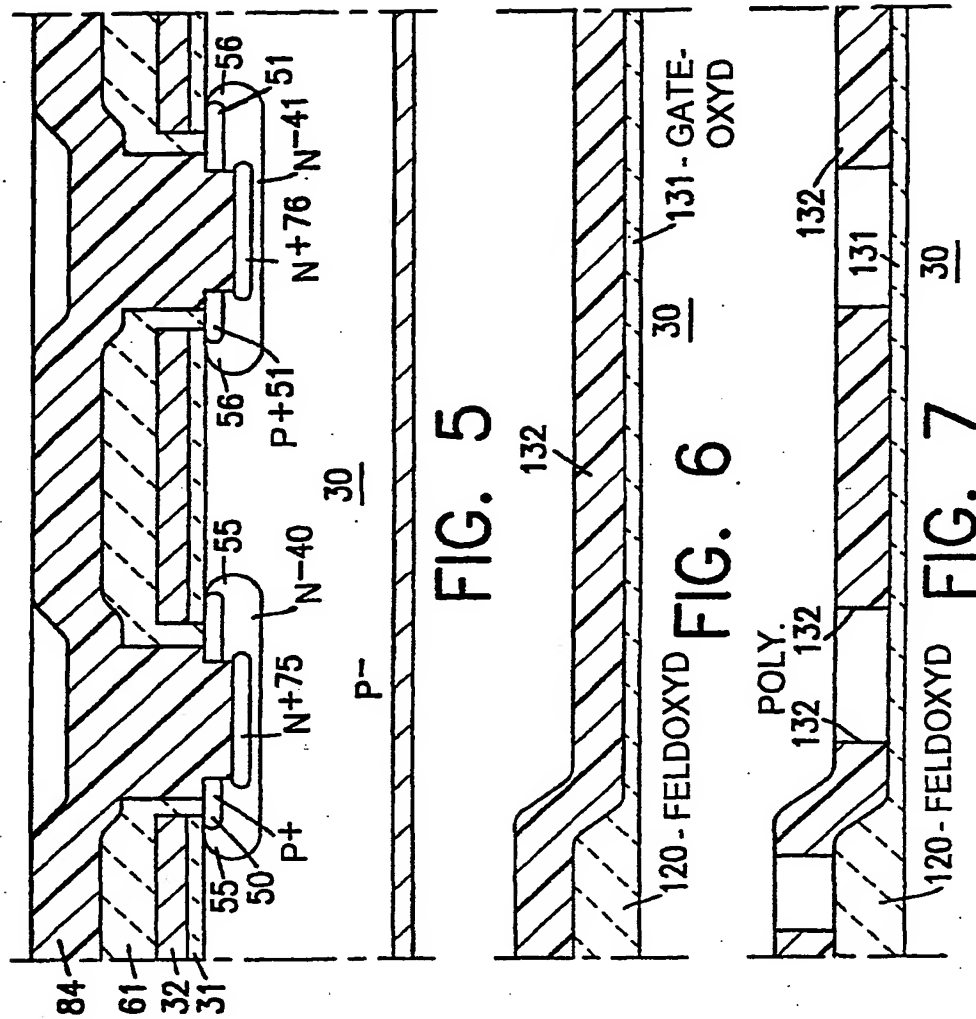


FIG. 4



No English titl available.

Patent Number: DE19750221

Publication date: 1998-05-20

Inventor(s): KINZER DANIEL M (US)

Applicant(s): INT RECTIFIER CORP (US)

Requested
Patent: DE19750221Application
Number: DE19971050221 19971113Priority Number
(s): US19960031051P 19961118

IPC

Classification: H01L21/336; H01L29/78; H01L29/739; H01L29/749

EC
Classification: H01L21/331G2B, H01L21/332M2, H01L21/336B2, H01L21/336B2B, H01L29/10C3,
H01L29/739C2B, H01L29/745B, H01L29/749, H01L29/78B2BEquivalents: FR2756664, GB2319395, IT1296441, ITMI972545, JP10229193,
KR272051, SG60150**Abstract**

An MOS-gated power semiconductor device such as an IGBT or MOS-gated thyristor is formed by a process that uses a reduced number of masking steps and minimizes the number of critical alignments. A first photolithographic masking step defines the body 30 or channel region and the source region 50,51 of each of the cells. A second photolithographic step is aligned to a small central area above the source region of each of the cells or strips, the only critical alignment in the process, and is used to define openings in a protective oxide layer 61 which, in turn, masks the etching of depressions in the substrate surface and the formation of a contact region. An isotropic etch undercuts the protective oxide to expose shoulders at the silicon surface of the chip which surround the etched holes. A conductive layer 84 fills the holes and thus contacts the underlying body regions and overlaps the shoulders surrounding the source regions at the silicon surface. The conductive layer is sintered at a temperature that is sufficiently high to achieve low contact resistance between the metal and body regions but is low enough to be tolerated by the conductive layer.

Data supplied from the esp@cenet database - I2

DOCKET NO: MAH-12728

SERIAL NO: _____

APPLICANT: H. Weber et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100